

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-283952

(43)Date of publication of application : 29.10.1993

(51)Int.Cl.

H03F 3/45

(21)Application number : 04-077805

(71)Applicant : NEC CORP

(22)Date of filing : 31.03.1992

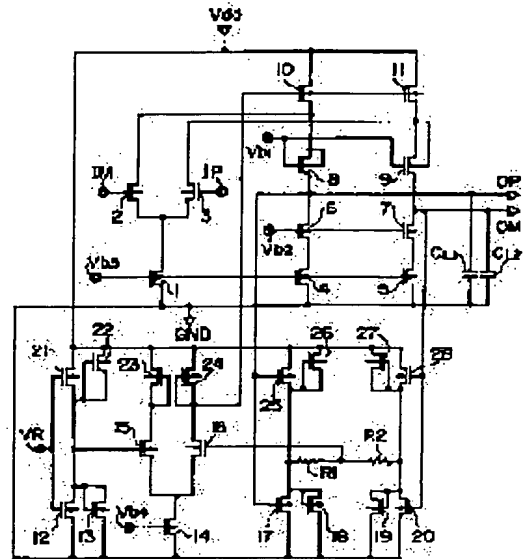
(72)Inventor : TAKAHASHI YUTAKA

(54) DIFFERENTIAL OPERATIONAL AMPLIFIER

(57)Abstract:

PURPOSE: To widen the differential output ranges of a fully differential operational amplifier and to reduce in-phase noise.

CONSTITUTION: The fully differential operational amplifier has two buffer circuits 17-20, 25-28 inputting the differential output, respectively, partial pressure circuits R1, R2 detecting middle point voltage by performing the partial pressure for the output of the both buffer circuits and feedback circuits 12-16, 21-24 amplifying the difference of the middle point potential and reference voltage VR and performing the feedback to the gates of current source transistors 10, 11 of the fully differential operational amplifier for the difference. Each buffer circuit 17-20, 25-28 is composed of CMOS inverters 17, 25, 20, 28 and MOS transistors 18, 26, 19, 27 which become the load of the CMOS inverters and for which diode connections are performed.



LEGAL STATUS

[Date of request for examination] 28.03.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2884896

[Date of registration] 12.02.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 12.02.2003

(19) 日本国特許庁 (JP)

(12) 特許公報 (B 2)

(11) 特許番号

第 2 8 8 4 8 9 6 号

(45) 発行日 平成11年 (1999) 4月19日

(24) 登録日 平成11年 (1999) 2月12日

(51) Int. Cl. 6
H 0 3 F 3/45

識別記号

F I
H 0 3 F 3/45 B

請求項の数 1

(全 6 頁)

(21) 出願番号 特願平4-77805
(22) 出願日 平成4年 (1992) 3月31日
(65) 公開番号 特開平5-283952
(43) 公開日 平成5年 (1993) 10月29日
審査請求日 平成8年 (1996) 3月28日

(73) 特許権者 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 高橋 豊
東京都港区芝五丁目7番1号 日本電気株式
会社内
(74) 代理人 弁理士 藤巻 正憲

審査官 井関 守三

(56) 参考文献 特開 昭61-251216 (J P, A)
特開 昭60-116212 (J P, A)
特開 昭60-165111 (J P, A)
特開 平4-292006 (J P, A)

(58) 調査した分野 (Int. Cl. 6, D B 名)
H03F 3/45

(54) 【発明の名称】 差動演算増幅器

1

(57) 【特許請求の範囲】

【請求項 1】 差動増幅回路と、前記差動増幅回路の差動出力を入力する 2 個のバッファ回路と、前記 2 個のバッファ回路の出力を分圧して中点電位を出力する分圧回路と、

前記分圧回路の出力と基準電圧の差分を増幅し、前記差動増幅回路の電流源トランジスタのゲートに帰還する回路を備え、

前記バッファ回路は、ゲインが 1 以下の反転バッファであり、

前記 2 個のバッファ回路は、夫々、ソースを第 1 の電源に接続し、ゲートを前記差動増幅回路の対応する差動出力端に接続し、ドレインを前記分圧回路に接続した第 1 の p チャネルトランジスタと、ソースを第 2 の電源に接続し、ゲートを前記対応する差動出力端に接続し、ドレ

2

インを前記分圧回路に接続した第 1 の n チャネルトランジスタと、ゲートとドレインを前記分圧回路に接続し、ソースを前記第 1 の電源に接続した第 2 の p チャネルトランジスタと、ゲートとドレインを前記分圧回路に接続し、ソースを前記第 2 の電源に接続した第 2 の n チャネルトランジスタにより構成されることを特徴とする差動演算増幅器。

【発明の詳細な説明】

【0001】

10 【産業上の利用分野】 本発明は、MOS 集積回路上に構成される全差動演算増幅器に関し、特に、出力インピーダンスの高い Holded Cascode 型の演算増幅器等に有効な同相帰還回路を備える演算増幅器に関する。

【0002】

【従来の技術】 全差動演算増幅器は差動出力の DC 動作

点を安定化するために同相帰還回路を必要とする。同相帰還回路を含む全差動演算増幅器の例を図3に示す。図3において、符号71～75はnチャネルトランジスタ、76～79はpチャネルトランジスタ、C1、C2は位相補償容量、R3、R4は抵抗、IP及びIMは各々増幅の正入力端子及び負入力端子、Vb10はバイアス入力端子、OPは正出力端子、OMは負出力端子を示す。この回路は差動対の出力をソース接地増幅回路で増幅して差動出力を得る一般的な2ステージ演算増幅器である。

【0003】仮に、抵抗R3、R4がなく、トランジスタ74及び75のゲートに一定のバイアスが加えられているものとする、この演算増幅器の同相入力に対するゲインは非常に高い値となる。この結果、入力端子IP、IMに微小な同相入力に加わっても出力が大きく変動し、出力のDC動作点が安定しない。

【0004】この同相入力に対するゲインを抑圧し、出力DC動作点を安定化する回路が同相帰還回路である。図3の回路の場合、抵抗R3、R4で差動出力OP、OMの中間電圧を検出し、この中間電圧を出力段電流源トランジスタ74、75のゲートに帰還することにより同相帰還回路を実現している。

【0005】図3の回路のように差動出力を直接抵抗等のインピーダンスで分圧し、帰還する方法は簡単な回路構成で同相帰還回路を実現できるメリットを有するが、差動出力間に直接負荷が入るため、差動信号に対しても負帰還回路を構成するため、オープンループゲインの低下、周波数特性の劣化を引き起こす。これらの劣化を防ぐためには、抵抗分圧回路の抵抗値を演算増幅器の出力インピーダンスより十分に大きくする必要がある。

【0006】しかし、上述の同相帰還回路は近年高速スイッチドキャパシタ回路等に用いられているHolding Cascode型演算増幅器(R. GREGORIAN and G. TEMES著、JOHN WILEY & SONS社刊、ANALOG MOS INTEGRATED CIRCUITS FOR SIGNAL PROCESSING 第255頁参照。)等の出力インピーダンスの高い演算増幅器には用いることができない。

【0007】図4は上述の文献例に示されているHolding Cascode型演算増幅器を示す。Holding Cascode型演算増幅器の出力インピーダンスは数MΩ程度で、一般的なMOS演算増幅器(図3に示すようなソース接地出力2ステージ演算増幅器等)と比較すると3桁程度出力インピーダンスが高い。従って、図3に示すような同相帰還回路を用いることはできない。

【0008】図4の回路を使用している例としては、S. R. NORSWORTHY他著 "A 14bit 80kHz Sigma-Delta A/D Converter: Modeling, Design, and Performance Evaluation", IEEE Jour. of Solid-State Circuits, Vol. 24, No. 2, 1989, pp256-266, D. SALLAERT他著 "A single-Chip U-Interface Transceiver for ISDN", IEEE Jour. of So

lid-State Circuits, vol. 22, No. 6, 1987, pp1011~1021等がある。

【0009】次に、図4に示すHolding Cascode型演算増幅器について説明する。

【0010】図中、81～87はnチャネルトランジスタ、88～93はpチャネルトランジスタ、Vb9～Vb12はバイアス電圧入力端子、IP及びIMは各々演算増幅器の正入力端子及び負入力端子、OP及びOMは各々演算増幅器の正出力端子及び負出力端子を示す。前述のように、Holding Cascode型演算増幅器は出力インピーダンスが非常に高いため、差動出力間に直接負荷を接続することが困難である。そこで、図4では、ドレインを共通接続した2個の電流源トランジスタ92、93のゲートに差動出力を直接帰還することにより、同相帰還回路を構成している。この場合、端子OPとOM間に現れる差動出力はトランジスタ92、93で電圧-電流変換され、トランジスタ92、93のドレインで電流加算が行われる。この結果、等価的に差動出力電圧が加算されて電流源に帰還されることになり、DC動作点が安定化する。

【0011】

【発明が解決しようとする課題】従来の同相帰還回路を用いたHolding Cascode型演算増幅器は出力電圧を直接電流源トランジスタのゲートに帰還しているため、大振幅動作において、一方の電流源トランジスタがカットオフする領域が存在するため、出力ダイナミックレンジが狭いという欠点があった。また、電流源の非線形性の影響により、大きな同相雑音が発生するという問題点もある。

【0012】本発明はかかる問題点に鑑みてなされたものであって、出力ダイナミックレンジが広く、同相雑音が小さい同相帰還回路を使用した演算増幅器を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明に係る差動演算増幅器は、差動増幅回路と、前記差動演算増幅回路の差動出力を入力する2個のバッファ回路と、前記2個のバッファ回路の出力を分圧して中間電位を出力する分圧回路と、前記分圧回路の出力と基準電圧の差分を増幅し、前記差動増幅回路の電流源トランジスタのゲートに帰還する回路を備え、前記バッファ回路は、ゲインが1以下の反転バッファであり、前記2個のバッファ回路は、夫々、ソースを第1の電源に接続し、ゲートを前記差動増幅回路の対応する差動出力端に接続し、ドレインを前記分圧回路に接続した第1のpチャネルトランジスタと、ソースを第2の電源に接続し、ゲートを前記対応する差動出力端に接続し、ドレインを前記分圧回路に接続した第1のnチャネルトランジスタと、ゲートとドレインを前記分圧回路に接続し、ソースを前記第1の電源に接続した第2のpチャネルトランジスタと、ゲートとドレインを前記分圧回路に接続し、ソースを前記第2の電源に

接続した第 2 の n チャンネルトランジスタにより構成される。

【0014】上記構成において、例えば、第 1 の電源は電源電圧 V_{dd} 、第 2 の電源は接地電圧 GND に設定され、一方のバッファ回路を構成する第 1 の p チャンネルトランジスタと第 1 の n チャンネルトランジスタのゲートは正出力端に接続され、他方のバッファ回路を構成する第 1 の p チャンネルトランジスタと第 1 の n チャンネルトランジスタのゲートは負出力端に接続される。第 2 の p チャンネルトランジスタと第 2 の n チャンネルトランジスタは夫々ダイオード接続されている。

【0015】

【作用】本発明においては、各バッファ回路は、CMOS インバータとダイオード接続された MOS トランジスタを組み合わせた反転バッファであり、全電源電圧範囲で動作可能な同相帰還回路を実現できる。また、差動出力の中間電位を電流源トランジスタに帰還しているため、バッファ回路の非線形性の影響は小さい。また、基準電圧を用いるので、プロセス変動による DC 動作点の変動を抑えることができる。

【0016】

【実施例】以下、本発明の実施例について添付の図面を参照して説明する。

【0017】先ず、図 1 を参照して、本発明の第 1 実施例について説明する。図 1 において、符号 1 ~ 7 及び 12 ~ 20 は n チャンネルトランジスタ、8 ~ 11 及び 29 ~ 28 は p チャンネルトランジスタ、R1 及び R2 は抵抗、CL1 及び CL2 は負荷容量、Vb1 ~ Vb4 はバイアス電圧入力端子、VR は基準電圧入力端子、IP 及び IM は夫々演算増幅器の正入力及び負入力端子、OP 及び OM は夫々演算増幅器の正出力端子及び負出力端子を示す。

【0018】図 1 の回路は、トランジスタ 1 ~ 11 で図 4 に示す通常の Helded Cascode 型の演算増幅器を構成し、トランジスタ 12 ~ 28 及び抵抗 R1、R2 で同相帰還回路を構成している。

【0019】この同相帰還回路は、トランジスタ 12、21、13、22 から構成された第 1 の反転バッファ回路、トランジスタ 17、25、18、26 から構成された第 2 の反転バッファ回路、トランジスタ 18、26、19、27 から構成された第 3 の反転バッファ回路、トランジスタ 14 - 16、23、24 から構成された差動対、抵抗 R1、R2 から構成された抵抗分圧回路、から構成される。

【0020】前記第 1 の反転バッファ回路は、電源電圧 V_{dd} と接地電圧 GND 間に接続された CMOS インバータ 12、21 と、CMOS インバータの負荷となるダイオード接続された n チャンネルトランジスタ 13 と p チャンネルトランジスタ 22 から構成されている。CMOS インバータを構成するトランジスタ 12 と 21 のゲート

には基準電圧 VR が供給される。

【0021】第 2 の反転バッファ回路は、電源電圧 V_{dd} と接地電圧 GND 間に接続された CMOS インバータ 17、25 と、CMOS インバータの負荷となるダイオード接続された n チャンネルトランジスタ 18 と p チャンネルトランジスタ 26 から構成されている。CMOS インバータを構成するトランジスタ 17 と 25 のゲートは正出力端子 OP に接続される。

【0022】第 3 の反転バッファ回路は、電源電圧 V_{dd} と接地電圧 GND 間に接続された CMOS インバータ 20、28 と、CMOS インバータの負荷となるダイオード接続された n チャンネルトランジスタ 19 と p チャンネルトランジスタ 27 から構成されている。CMOS インバータを構成するトランジスタ 20 と 28 のゲートに負出力端子 OM が接続される。

【0023】抵抗分圧回路 R1、R2 は第 2 と第 3 の反転バッファ回路の出力点間に接続されている。

【0024】第 1 の反転バッファ回路の出力は差動対を構成するトランジスタ 15 のゲートに、抵抗 R1 と R2 の接続点は差動対を構成するトランジスタ 16 のゲートにそれぞれ接続されている。また、トランジスタ 14 のゲートには電圧 Vb4 が印加される。差動対の出力は、Helded Cascode 型演算増幅器の電流源トランジスタ 10、11 のゲートに印加される。

【0025】次に、上述の如く構成された演算増幅器の動作について説明する。

【0026】図 1 の構成においては、各反転バッファのゲインとスレッシュホールド電圧は反転バッファを構成する 4 個のトランジスタのサイズにより定まる。本実施例では、ゲインを 1 以下、スレッシュホールド電圧をほぼ $V_{dd}/2$ となるようにトランジスタのサイズを選択する。反転バッファのゲインを 1 以下にとることにより、全電源電圧範囲の入力に対して出力の飽和しないバッファを構成することができる。

【0027】第 2 の反転バッファ回路は演算増幅器の正出力を反転増幅して出力する。第 3 の反転バッファ回路は演算増幅器の負出力を反転増幅して出力する。この第 2 と第 3 の反転バッファを介して出力端子 OP と OM 間に抵抗分圧回路 R1、R2 を接続する事により、演算増幅器の特性を劣化させることなく中間電位を検出できる。

【0028】基準電圧 VR は演算増幅器の DC 動作点を与える基準電圧であり、この基準電圧は第 1 の反転バッファを介して差動対に入力される。この差動対により、抵抗分圧回路 R1、R2 の出力 (R1 と R2 の接続点の電位) と第 1 の反転バッファを介した基準電圧 VR が比較され、差分を反転増幅した電圧が出力される。この差動対の出力は演算増幅器の電流源トランジスタ 10、11 に帰還され、DC 動作点が安定化される。

【0029】基準電圧 VR を用いている理由はプロセス

変動によるDC動作点の変動を抑えるためである。また、基準電圧VRと差動対14-16、23、24の間に第1の反転バッファ12、13、21、22を配置した理由は、第2と第3の反転バッファ17-20、25-28で発生するオフセットを除去するためである。

【0030】次に、本発明の第2実施例について説明する。図2は図1の抵抗分圧抵抗をMOSトランジスタのオン抵抗を利用して実現したものである。図中、49、50はnチャネルトランジスタ、59、60はpチャネルトランジスタであり、これら4個のトランジスタにより分圧回路を構成している。nチャネルトランジスタとpチャネルトランジスタを並列に接続している理由はオン抵抗の電圧依存性をキャンセルするためである。このように抵抗のかわりにMOSトランジスタを用いることにより、小さな面積で高抵抗を実現でき、同相帰還回路を小型化できる。

【0031】上記第1及び第2実施例は、Holded Cascode型の演算増幅器に本発明を適用した例を示しているが、その他の全差動演算増幅器に本発明を適用してもよい。例えば、図3に示す2ステージ演算増幅器においても低消費電力型のもは出力インピーダンスが高くなる。本発明による同相帰還回路を用いることにより、同相帰還回路を接続することによる特性劣化を防止することができる。

【0032】次に、本発明の動作をシミュレーション結果を用いて説明する。図5は全差動反転増幅器の回路構成を示す。図中100は全差動演算増幅器、R5~R8は抵抗を示す。前述したように、Holded Cascode型演算増幅器は出力インピーダンスが非常に高いため、このような抵抗帰還型の回路に使用することはほとんどない。そこで、特性を確認するために図5の回路を用い、出力インピーダンスの影響がでないように抵抗値は全て100MΩとしてシミュレーションを行った。

【0033】図6及び図7はそれぞれ従来例(図4)の演算増幅器と本願(図1)の演算増幅器のDC入出力特性を示したものである。図中OP及びOMは各々演算増幅器の正出力及び負出力を示し、OP-OMは差動出力を示している。

【0034】図6、7から明かなように、図6に示す従来例の特性に対し、図7に示す特性は出力動作範囲が広がっている。また、OP、OMの線形性を比較すると、本発明の方が優れていることがわかる。この非線形性の影響は同相雑音の発生という形で現れる。

【0035】図5の回路に差動正弦波入力を加え、同相雑音のシミュレーションを行った結果を図8及び図9に示す。図8は従来(図4)の演算増幅器を用いた場合のシミュレーション結果、図9は本願(図1)の演算増幅器を用いた場合のシミュレーション結果を示す。図中OP及びOMは各々演算増幅器の正出力及び負出力を示し、COMは同相雑音(OP、OMの midpoint 波形)を示す。

す。

【0036】図8、9から明かなように、図8に示す従来例の同相雑音COMに対し図9に示す本願の同相雑音COMの方が小さい。全差動回路の場合、この同相雑音は理想的には問題とならない。ただし、寄生容量等による信号のパスを考慮すると、全差動回路の対象性が完全に保たれるわけではなく、回り込み等によって同相雑音が逆相雑音となり回路のS/Nを劣化させる。このような影響は、回路構成、レイアウト等に依存するため、定量的に表すことはできないが、同相雑音といえども極力小さくした方がよい。この点からも、本願発明は従来例よりまさっている。

【0037】図10は本発明の図2の第2実施例の演算増幅器についてDC入出力特性のシミュレーションを行った結果であり、第1実施例の特性と同様な特性が得られることを示している。

【0038】

【発明の効果】以上説明したように、本発明はCMOSインバータとダイオード接続したMOSトランジスタを組み合わせた反転バッファを使用することにより、全電源電圧範囲で動作可能な同相帰還回路を実現できる。この結果、従来と比較した場合、演算増幅器の差動出力範囲が大きくなるという効果がある。また、従来では、電流源トランジスタの非線形性により大きな同相雑音が発生するが、本発明では、差動出力の midpoint 電位を電流源トランジスタに帰還しているため、非線形性の影響は小さい。なお、本発明の場合、反転バッファの非線形性の影響により同相雑音が発生するが、従来と同相雑音よりも十分小さい値である。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るHolded Cascode型演算増幅器の構成を示す回路図である。

【図2】本発明の第2実施例に係るHolded Cascode型演算増幅器の構成を示す回路図である。

【図3】従来の2ステージ演算増幅器の回路図である。

【図4】従来のHolded Cascode型演算増幅器の構成を示す回路図である。

【図5】従来の全差動反転増幅回路の回路図である。

【図6】図4の演算増幅器のDC入出力特性のシミュレーション結果を示すグラフである。

【図7】図1の演算増幅器のDC入出力特性のシミュレーション結果を示すグラフである。

【図8】図4の演算増幅器の同相雑音のシミュレーション結果を示すグラフである。

【図9】図1の演算増幅器の同相雑音のシミュレーション結果を示すグラフである。

【図10】図2の演算増幅器のDC入出力特性のシミュレーション結果を示すグラフである。

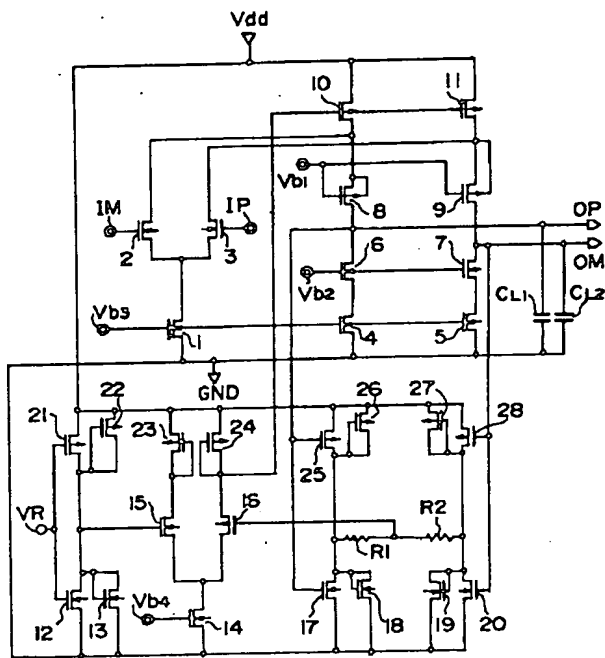
【符号の説明】

IP; 正入力端子

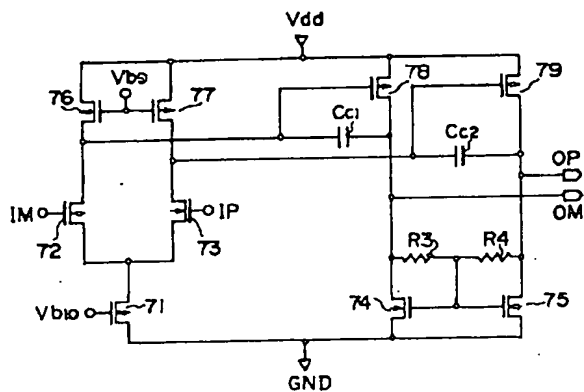
9

IM ; 負入力端子
 OP ; 正出力端子
 OM ; 負出力端子
 VR ; 基準電圧入力端子
 Vb1 ~ Vb12 ; バイアス電圧入力端子
 CL1 ~ CL6 ; 負荷容量
 R1 ~ R8 ; 抵抗

【図 1】



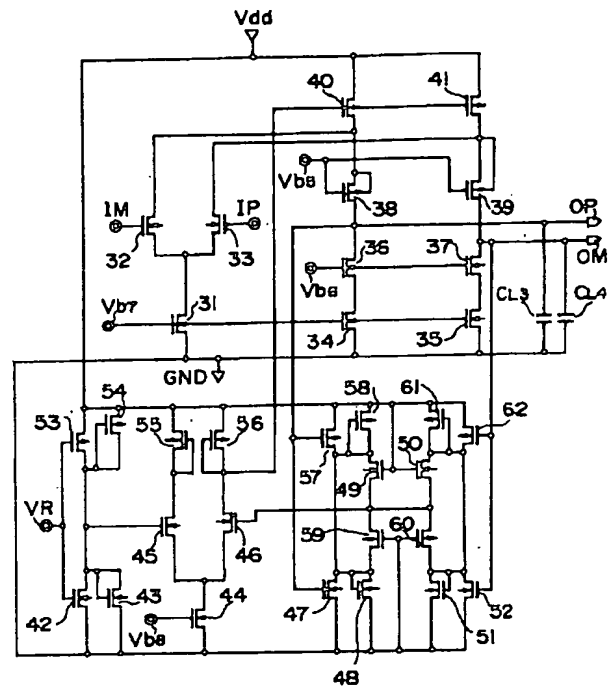
【図 3】



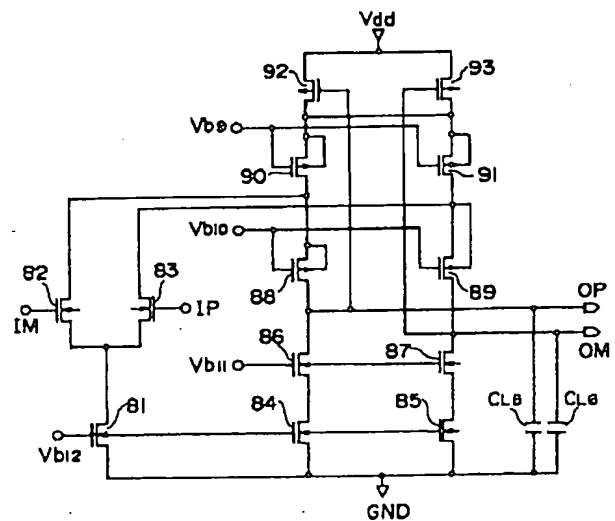
10

INP ; 正入力
 INM ; 負入力
 1 ~ 7, 12 ~ 20, 31 ~ 37, 42 ~ 52, 71 ~ 75, 81 ~ 87 ; nチャネルトランジスタ
 8 ~ 11, 21 ~ 28, 38 ~ 41, 53 ~ 62, 76 ~ 79, 88 ~ 93 ; pチャネルトランジスタ
 100 ; 全差動演算増幅器

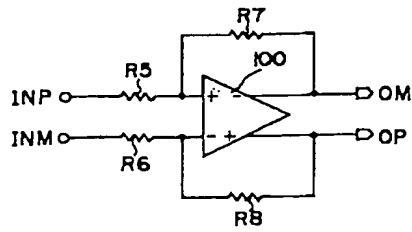
【図 2】



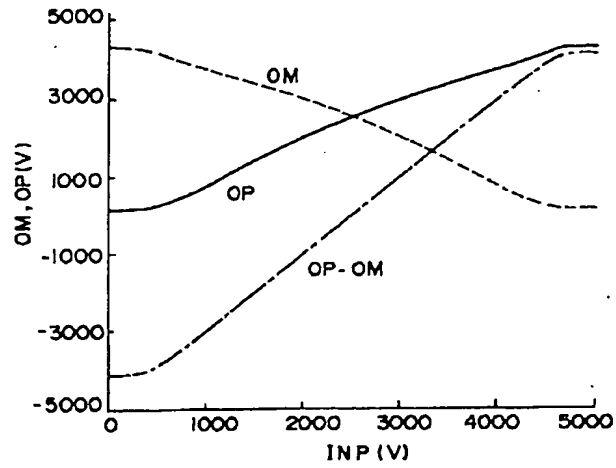
【図 4】



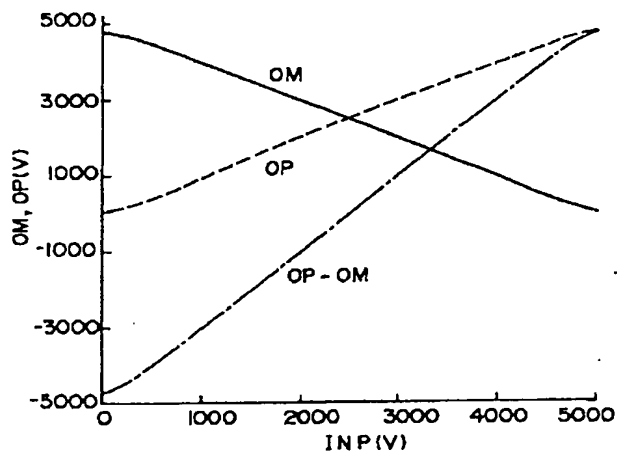
【図 5】



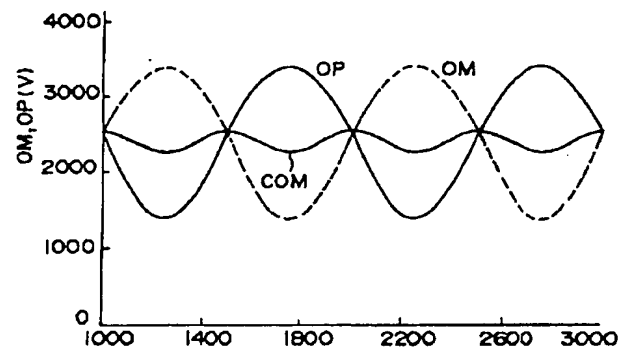
【図 6】



【図 7】



【図 8】



【図 10】

【図 9】

